

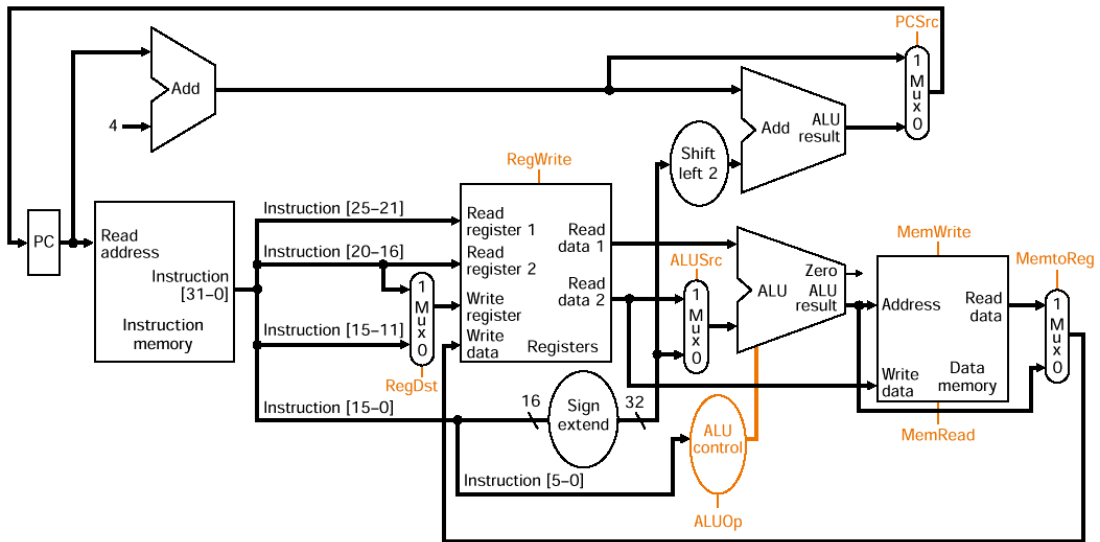
학부 컴퓨터구조 중간시험 2011년 5월 3일

학부/학과:

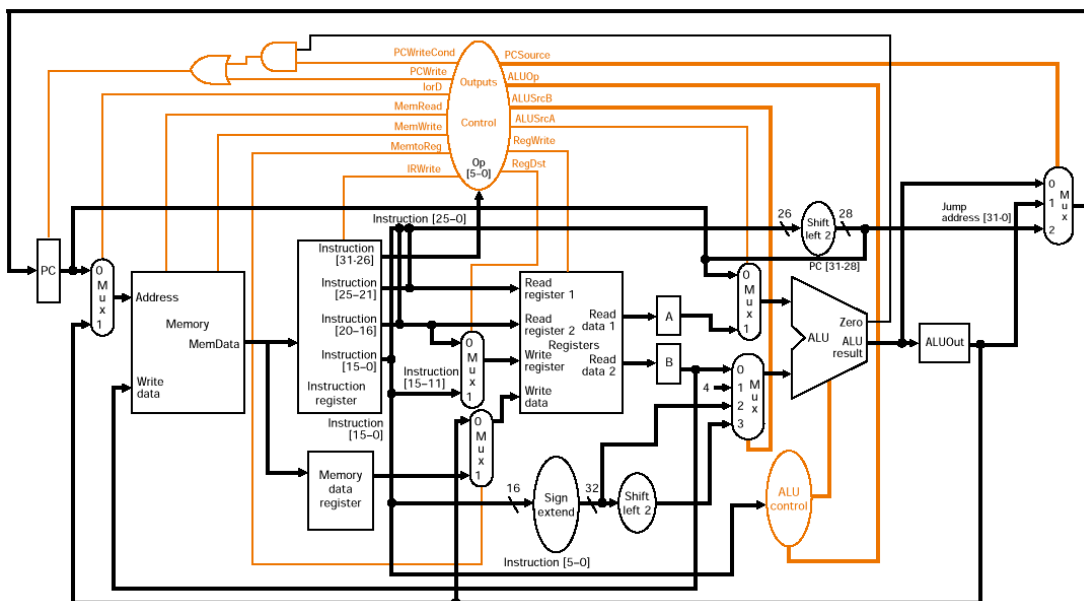
학번:

성명:

1. Single Cycle Implementation에서 **and** instruction이 실행될 때 data의 흐름/ ALU operation / (register, memory) enable의 값을 표시하시오.



2. Multiple Cycle Implementation에서 **lw** (load word) instruction에 대해 네번째 step (cycle)에서 어떤 작업이 수행되는지 아래 그림에서 data의 흐름/ ALU operation / (register, memory) enable의 값을 표시하시오.



3. 아래 테이블은 CPU time 을 결정하는 세가지 요소가 어떤 것들에 의해 영향을 받는가를 보여주고 있다. 아래 테이블에서 (*), (3), (5), (6)의 이유를 각각 설명하시오. (필요하면 수업시간에서 다른 single-cycle/multi-cycle/pipelined implementation 의 예를 들어 설명하여도 무방함)

	Instructions	Cycles	Seconds
	Program	Instruction	Cycle
Program	①		
Compiler	②	(*)	
ISA	③	④	
Organization		⑤	⑥
Technology			⑦

4. Pipelined implementation에서 data hazard에 의한 문제점을 지적하고 해결책 세 가지를 예를 들어 설명하시오.

5. 다음 C function을 MIPS assembly instruction으로 번역하시오.

```
int non_leaf (int a, int b)
{
    int c;

    c = f(a-1) + g(b+ 1);
    return (c);
}
```

6.

(가) pseudo instruction인 **sgt rd, rs, rt** (Set greater than: set rd to 1 if the value of rs is greater than that of rt, 0 otherwise) instruction을 real MIPS instruction sequence로 translation 하시오.

(나) Memory indirect addressing mode를 이용한 가상의 명령어 **lw r1, @(r2)** 를 real MIPS instruction sequence로 translation 하시오.

7. 다음은 MIPS 에 대한 질문이다. 문제를 읽고 간단히 설명하시오.

(가) 0 번 레지스터를 constant 0 으로 hardwired 시키므로써 얻을 수 있는 장점에 대해서 설명하시오.

(나) MIPS 가 load/store architecture 라고 할 수 있는 이유를 설명하시오.

8. Calling convention 에서 caller save 방법과 callee save 방법 각각을 설명하고 MIPS 에서 permanent register 의 경우에는 callee save, temporary register 의 경우에는 caller save 기법을 사용하는 이유를 설명하시오.

9. CPU cache memory 가 무엇과 무엇의 “환상의 만남”이고 이를 통하여 어떠한 “illusion”이 가능하였는지 설명하시오.

10. Single-cycle implementation 에 jump instruction 을 추가하는 경우 필요한 작업을 step-by-step 으로 설명하시오.